

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-229132

(43)公開日 平成10年(1998)8月25日

(51)Int.Cl.
H 01 L 21/8234
27/088
27/04
21/822

識別記号

F I
H 01 L 27/08
27/04

102 F
H

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21)出願番号 特願平9-29328

(22)出願日 平成9年(1997)2月13日

(71)出願人 000003078
株式会社東芝

神奈川県川崎市幸区坂川町72番地

(72)発明者 猪俣辰也
大分県大分市大字松岡3500番地 株式会社
東芝大分工場内

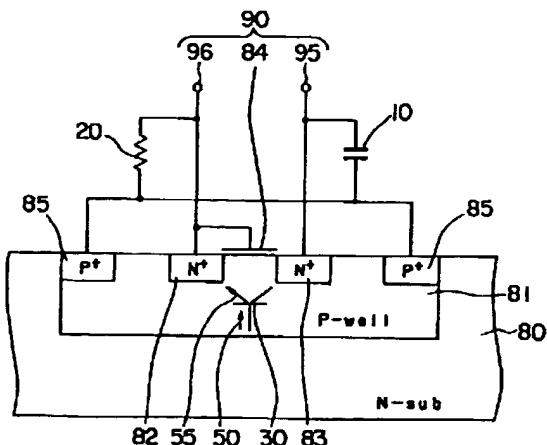
(74)代理人 弁理士 佐藤一雄 (外3名)

(54)【発明の名称】 静電保護回路及びこれを含む半導体集積回路

(57)【要約】

【課題】 高い信頼性とサージ吸収能力を有し、静電放電に対し迅速に起動する静電保護回路を含む半導体集積回路を提供する。

【解決手段】 基板上に形成されたpウェル81の表面に高電圧側端子95へ接続されたソース83と、低電圧側端子96に接続されたゲート84及びドレイン82からなるnMOS90を設け、pウェル81を高電圧側端子95へはキャバシタ10を介して、また、低電圧側端子96へは高抵抗20を介して接続し、キャバシタ10がサージ電圧の立ち上がり・立ち下がりの微分成分でpウェル81のドレイン82に対する相対的な電位を上昇させることにより、pウェル81とドレイン82とで構成される寄生ダイオードに順方向電流50が流れ、この順方向電流50がソース83、pウェル81及びドレイン82で構成される寄生NPNバイポーラトランジスタ30のベース電流となり、該トランジスタをONさせ、サージ電流55を流す。



【特許請求の範囲】

【請求項1】第1導電型の半導体領域の表面に形成され、高電圧側端子に接続された第2導電型の第1の不純物拡散領域、前記第1の不純物拡散領域とチャネル幅分離して形成され、低電圧側端子に接続された第2導電型の第2の不純物拡散領域、及び前記チャネル上に酸化膜を介して形成されたゲートとで構成される第1のMOSFETと、

前記高電圧側端子と前記第1導電型の半導体領域との間に接続されたキャバシタと、
前記低電圧側端子と前記第1導電型の半導体領域との間に接続された抵抗とを備えた静電保護回路。

【請求項2】前記第1導電型の半導体領域と前記第1の不純物拡散領域と前記第2の不純物拡散領域とは、前記第1導電型の半導体領域がベース、前記第1の不純物拡散領域がコレクタ、前記第2の不純物拡散領域がエミッタでなる寄生バイポーラトランジスタを構成することを特徴とする請求項1に記載の静電保護回路。

【請求項3】平常時は前記抵抗が前記第1導電型の半導体領域の電位の変動を防止し、高電圧印加時は、前記キャバシタが前記第1導電型の半導体領域内の電位差の変動を抑止することにより、前記第1のMOSFETのソース及びドレイン間でパンチスルーポート電流が流れる前に、前記寄生バイポーラトランジスタのベース電流を発生させ、前記寄生バイポーラトランジスタをONさせてサージ電流を前記高電圧が印加された端子と反対極の端子に逃がすことにより他の集積回路を正負の過剰電圧から保護することを特徴とする請求項1または2に記載の静電保護回路。

【請求項4】前記第1導電型の半導体領域は、表面に形成された第1導電型の高濃度不純物拡散領域を介して前記キャバシタ及び前記抵抗と接続されていることを特徴とする請求項1ないし3のいずれかに記載の静電保護回路。

【請求項5】前記抵抗は、不純物をドープしたポリシリコン層でなることを特徴とする請求項1ないし4のいずれかに記載の静電保護回路。

【請求項6】前記抵抗は、不純物を拡散した拡散層でなることを特徴とする請求項1ないし4のいずれかに記載の静電保護回路。

【請求項7】前記キャバシタは、前記第1導電型の半導体領域上に形成された第2導電型チャネルを有する第2のMOSFETでなることを特徴とする請求項1ないし6のいずれかに記載の静電保護回路。

【請求項8】前記第1導電型の半導体領域は、第2導電型の半導体基板の表面に形成されたウェルであることを特徴とする請求項1ないし7のいずれかに記載の静電保護回路。

【請求項9】請求項1ないし8のいずれかに記載の静電保護回路と、

前記静電保護回路により保護されるモノリシック集積回路を同一基板上に形成した半導体集積回路。

【請求項10】前記モノリシック集積回路は、電源電圧側端子が前記高電圧側端子に接続され、接地側端子が前記低電圧側端子に接続されたCMOS回路であることを特徴とする請求項9に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路及びその保護回路に関し、特に静電気等による正・負の過剰電圧から半導体装置を保護するための静電保護回路を備えた半導体集積回路に関する。

【0002】

【従来の技術】従来から、半導体集積回路には、静電放電(ESD: Electro Static Discharge)による静電破壊から回路装置を保護するための静電保護回路が搭載されている。しかし、近年の半導体装置の集積度の累進的高度化は、素子の微細化を促進し、半導体集積回路の静電破壊耐量の一層の低下を招いたため、静電保護回路の高精度化は、半導体装置の信頼性を維持するためにもますます重要視されている。

【0003】従来、NチャネルMOSFET(Metal Oxide Semiconductor Field Effect Transistor)を使用した静電保護回路には、いわゆるパンチスルーユニット型とNチャネルMOSFET動作利用型等の技術があった。以下、これらの技術を図8ないし図12を参照しながら紹介する。なお、以下の各図において、図8に対応する部分には同一の符号を付す。

【0004】図8はパンチスルーユニット型の静電保護回路を搭載した半導体集積回路の1例の部分断面図である。

【0005】図8に示すように、n型半導体基板80の表面部にp型のウェル81が形成されている。このp型のウェル81の表面に高濃度のn型不純物拡散領域82、83が形成され、これらn型不純物拡散領域82、83の間のpウェル81の上部に酸化膜を介してポリシリコン膜ゲート84が形成されている。即ち、不純物拡散領域82、83及びポリシリコン膜ゲート84は、NチャネルMOSFET(以下、単にnMOSという。)90を構成する。また、pウェル81の周辺部には、高濃度のアクセプタリオンをドープしたp⁺不純物拡散領域85、85が形成されており、ウェルコントクトにおけるオーミック抵抗が下げられている。

【0006】nMOS 90のソース83は高電圧側端子95へ接続され、ゲート84とドレイン82は、p⁺拡散領域85、85との結線94を介して低電圧側端子96に接続されている。図9は、図8に示す回路の等価回路を示したものであり、ゲート、ドレイン及び基板の各端子が接続された構成となっている。

【0007】次に、このパンチスルーユニット型静電保護回路の動作について説明する。

【0008】通常の動作環境では、nMOS90は、OFFの状態となっている。静電放電が発生した場合は、端子95に正のサージ電圧が、または、端子96に負のサージ電圧が印加される。端子95に正のサージ電圧が印加された場合の電圧の状態を図10(a)に、端子96に負のサージ電圧が印加された場合の電圧の状態を図10(b)に示す。

【0009】図10に示すように、端子95及び96の間の電位差Vgがパンチスルーディレイン82またはVp2を超えたとき、ソース83とドレイン82の間にパンチスルーディレイン82が発生し、パンチスルーディレイン82によりサージを逃がす。

【0010】しかしながら、パンチスルーディレイン82は電位差Vgが大きくなつてから発生する現象であるため、サージを逃がし始めるタイミングが遅いのに加え、パンチスルーディレイン82またはVp2自体の絶対値が大きいので、半導体集積回路内の他の内部回路に負担をかけ、素子の劣化を促進し、ひいては破壊不良を引き起こすおそれがある。

【0011】このようなパンチスルーディレイン82利用型静電保護回路の欠点を解決するために開発されたのが、図11に示すnMOS動作利用型の静電保護回路である。

【0012】図11において、n型半導体基板上に形成されたpウェル、nMOS及びP+拡散層は図8と同一なので、同一部分には同一の参照番号を付してその説明は省略する。

【0013】ソース83は高電圧側端子95に接続され、pウェル81は低電圧側端子96に接続されており、この点もパンチスルーディレイン82利用型と同様である。

【0014】nMOS動作利用型の特徴点はゲート84の結線にあり、低電圧側端子96へは高抵抗98を介して、また、高電圧側端子95へはキャバシタ97を介してそれぞれ接続されている。図12は図11に示す回路の等価回路図である。

【0015】このnMOS動作利用型静電保護回路の動作は、以下の通りである。

【0016】通常の動作環境では、高抵抗98により、ゲート84がブルダウンされているため、nMOS90は、OFFの状態となっている。静電放電が発生し、端子95に正のサージ電圧が、または、端子96に負のサージ電圧が印加されたときは、キャバシタ97に電荷が蓄積され、この蓄積電荷によりゲート84とpウェル81との間に電位差が生じ、nMOS90がONとなり、ON電流99によりサージを逃がす。

【0017】

【発明が解決しようとする課題】このnMOS動作利用型は、サージ電圧の立ち上がり成分、即ち、微分成分を利用しているため、動作タイミングが早いので、この点でパンチスルーディレイン82利用型の欠点を解決している。

【0018】しかしながら、印加されるサージ電圧は、

一般に電位差が大きいので、ドレイン82の近傍でゲート84とドレイン82間の電位差が小さくなつて誘起電荷が減少し、チャネル67が消滅するという、ピンチオフ現象を招く。このため、nMOS90のサージ吸収能力が奪われ、他の内部回路に負担がかかり、素子の劣化を早め、ひいては破壊不良を招くこととなる。さらに、ピンチオフ時に流れる大電流は、ホットエレクトロンを発生させ、ゲート84の下のゲート酸化膜中に一部の電子が捕獲され、しきい値電圧Vtの変動により保護回路自体の誤動作を招く。

【0019】以上説明したとおり、従来の技術では、十分なサージ吸収能力が得られず、他の回路素子の劣化・破壊不良を招く一方、保護回路自体の信頼性も問題が生ずるという欠点があった。

【0020】本発明は上記事情に鑑みなされたものであり、その目的は静電放電に対し高いサージ吸収能力を有し、かつ、信頼性の高い静電保護回路及びこれを備えた半導体集積回路を提供することにある。

【0021】

【課題を解決するための手段】本発明は、以下の手段により上記課題の解決を図るものである。

【0022】即ち、本発明(請求項1)は、第1導電型の半導体領域の表面に形成され、高電圧側端子に接続された第2導電型の第1の不純物拡散領域、前記第1の不純物拡散領域とチャネル幅分離して形成され、低電圧側端子に接続された第2導電型の第2の不純物拡散領域、及び前記チャネル上に酸化膜を介して形成されたゲートとで構成される第1のMOSFETと、前記高電圧側端子と前記第1導電型の半導体領域との間に接続されたキャバシタと、前記低電圧側端子と前記第1導電型の半導体領域との間に接続された抵抗とを備えた静電保護回路を提供する。

【0023】前記静電保護回路は、前記第1導電型の半導体領域と前記第1の不純物拡散領域と前記第2の不純物拡散領域とは、前記第1導電型の半導体領域がベース、前記第1の不純物拡散領域がコレクタ、前記第2の不純物拡散領域がエミッタでなる寄生バイポーラトランジスタを備えることが望ましい。

【0024】前記静電保護回路は、平常時は前記抵抗が前記第1導電型の半導体領域の電位の変動を防止し、高電圧印加時は、前記キャバシタが前記第1導電型の半導体領域内の電位差の変動を抑止することにより、前記第1のMOSFETのソース及びドレイン間でパンチスルーディレイン82が発生する前に、前記寄生バイポーラトランジスタのベース電流を発生させ、前記寄生バイポーラトランジスタをONさせてサージ電流を前記高電圧が印加された端子と反対極の端子に逃がすことにより他の集積回路を正負の過剰電圧から保護する。

【0025】また、前記第1導電型の半導体領域は、表面に形成された第1導電型の高濃度不純物拡散領域を介

して前記キャパシタ及び前記抵抗と接続されていることが望ましい。

【0026】また、前記抵抗は、不純物をドープしたポリシリコン層でなることが望ましい。

【0027】また、前記抵抗は、不純物を拡散した拡散層でなる拡散抵抗であってもよい。

【0028】また、前記キャパシタは、前記第1導電型の半導体領域上に形成された第2導電型チャネルを有する第2のMOSFETでなることが望ましい。

【0029】また、前記第1導電型の半導体領域は、第2導電型の半導体基板の表面に形成されたウェルであってもよい。

【0030】また、本発明（請求項9）は、前記静電保護回路と、前記静電保護回路により保護されるモノリシック集積回路を同一基板上に形成した半導体集積回路を提供する。

【0031】前記モノリシック集積回路は、電源電圧側端子が前記高電圧側端子に接続され、接地側端子が前記低電圧側端子に接続されたCMOS回路であるとよい。

【0032】

【発明の実施の形態】先ず、本発明にかかる静電保護回路の構成及び動作原理について図1から図3を参照して説明する。

【0033】図1は、本発明にかかる静電保護回路の動作原理を説明するための半導体集積回路の部分断面図である。

【0034】図1において、n型半導体基板80の表面部に形成されたpウェル81、nMOS90及びP+拡散層85、85は従来技術を説明するための図6と同一なので、同一部分には同一の参照番号を付してその説明は省略する。

【0035】ソース83は高電圧側端子95に接続され、ゲート84及びドレイン82は低電圧側端子96に接続されており、この点もパンチスルーリード型と同様である。

【0036】本発明にかかる静電保護回路の特徴は、pウェル81が高電圧側端子95へはキャパシタ10を介して、また、低電圧側端子96へは高抵抗20を介して接続されている点にある。この静電保護回路の等価回路を図2(a)に、また、後述する寄生トランジスタ30の等価回路を図2(b)に示す。

【0037】この静電保護回路の動作は次の通りである。

【0038】通常の動作環境では、pウェル81が高抵抗20によりアルダウンされているため、nMOS90はOFFの状態となっている。

【0039】先ず、静電放電が発生し、高電圧側端子95に正のサージ電圧が印加された場合は、キャパシタ10があるため、pウェル81は、サージ電圧の立ち上がりの部分、即ち、微分成分で上昇する。この一方、pウ

ェル81とドレイン82は、寄生ダイオードを構成しており、サージ電圧の微分成分で上昇した電圧により、P→Nの順方向に電圧が印加され、順方向の電流50が流れることとなる。

【0040】この順方向電流50は、ソース83、pウェル81及びドレイン82で構成される寄生NPNバイポーラトランジスタ30のベース電流となり、該トランジスタ30をONさせ、サージ電流55を流す。

【0041】即ち、図2(b)において、図1に示すnMOS90のソース83、pウェル81、nMOS90のドレイン82は、それぞれ寄生NPNバイポーラトランジスタ30のコレクタ、ベース、エミッタを構成している。高電圧側端子95に正のサージ電圧が印加されると、コレクターベース間に接続されたキャパシタ10に電荷が蓄積され、この蓄積電荷により、pウェル81の電位が上昇する。即ち、pウェル81の電位上昇は、図3(a)に示すように、サージ電圧自体ではなく、その微分成分に依存する。従って、nMOS90にパンチスルーリードが発生するはるか以前にベース電流50が流れ、

【0042】一方、平常動作環境においては、図1に示す静電保護回路ではベース-エミッタ間に高抵抗20が接続されているため、pウェル81がアルダウンされ、電位の変動を防止する。このため、nMOS90のソース83-ドレイン82間のリーク電流の発生が阻止され、寄生バイポーラトランジスタ30の動作が安定するので、不用意にONすることを防止することができる。なお、抵抗20は、ポリシリコン等で形成される高抵抗であるため、キャパシタ10に対するpウェル81の電位変動が妨げられることはない。

【0043】次に、静電放電により、低電圧側端子96に負のサージ電圧が印加された場合は、ドレイン82の電圧降下に伴い、pウェル81の電位が降下し始めるが、キャパシタ10が高電圧側端子95との間に挿入されているため、pウェル81の電位降下は強く抑止される。この結果、図3(b)に示すように、ドレイン82とpウェル81との間でサージ電圧の立ち下がりの成分、即ち、微分成分で電位差が発生する。

【0044】従って、前述の正のサージ電圧が印加された場合と同様に、pウェル81と低電圧側端子96に接続されたドレイン82とは、寄生ダイオードを構成しており、P→Nの順方向に電圧が印加することとなり、順方向電流50が流れる。

【0045】さらに、この順方向電圧は、ソース83、

pウェル81及びドレイン82で構成される寄生バイポーラトランジスタ30のベース電流となり、該トランジスタをONさせ、サージ電流55を流す。さらに、サージ電圧の微分成分が0となった後も、前述の通り、既にできた電流経路により、nMOS90のパンチスルーにスムーズに移行するので、電流が継続し、静電保護機能が維持される。

【0046】このように、負のサージ電圧に対しても、ソース83とドレイン82との間に寄生バイポーラトランジスタ30による電流経路ができ、大きなサージ電流55を高速で逃がすことができる。

【0047】なお、このような寄生バイポーラトランジスタは、従来技術でのパンチスルー利用型の静電保護回路にも存在するが、パンチスルー利用型では、サージ電圧が直接印加され、pウェル内の電位差が十分に大きくなるため、寄生バイポーラトランジスタのベース電流が流れ始める前にパンチスルーアクションが起こる。従って、寄生トランジスタがONしないので、微分成分に依存する本発明にかかる保護回路に比べ、動作タイミングが遅い。

【0048】一方、NチャネルMOSFET動作利用型は、微分成分に依存する点では、本発明にかかる保護回路と同様である。しかしながら、キャパシタの接続は、nMOSのゲート-ソースの間に行われているため、微分成分による電位差の変動が発生するのは、ゲートとpウェルとの間である。従って、微分成分に依存して流れる電流は、nMOSのON電流であり、寄生トランジスタにベース電流は流れない。nMOSのサージ吸収能力は、寄生トランジスタのサージ吸収能力に比べて劣るため、NチャネルMOSFET動作利用型では、他の回路の保護機能が不十分である。また、ホットエレクトロン現象が起きるおそれがあるので、保護回路自体の信頼性も問題になるのである。

【0049】これに対し、本発明にかかる静電保護回路では、正・負いずれの場合も、サージ電圧の立ち上がり・立ち下がりの微分成分でpウェル81のドレイン82に対する相対的な電位を上昇させ、パンチスルーが発生するはるか以前に、ソース83、pウェル81及びドレイン82で構成される寄生バイポーラトランジスタ30のベース電流50を流すことにより該トランジスタをONして、ソース83とドレイン82との間に電流経路ができるので、大きなサージ電流55を高速で逃がすことができる。

【0050】しかもこのように、サージ電圧の印加直後に微分成分による電流経路ができるため、該微分成分が0になった後でも、高電位差になることなく、スムーズにパンチスルーに移行し、電流が継続するので、他の回路を保護する機能を維持することができる。

【0051】以上詳述したとおり、本発明にかかる静電保護回路では、寄生バイポーラトランジスタとパンチス

ルによる電流でサージを逃がすので、ピンチオフ現象が発生せず、ホットエレクトロン等により保護回路自体が劣化するおそれはない。また、迅速かつ十分なサージ吸収能力を有する寄生バイポーラトランジスタにより起動するので、静電保護回路の占有面積を小さくすることができ、集積度を高めて製造コストを低減させることができる。さらに、MOS構造だけで構成することができるので、製造工程が単純となる。

【0052】次に、図4ないし図7を参照しながら、本発明の実施の形態のいくつかについて説明する。

【0053】図4は、図1に示した本発明にかかる静電保護回路の実施の1形態を具体的に示す半導体集積回路の部分縦断面図である。この半導体集積回路では、図1に示すキャパシタ10をpウェル81上に形成された第2のnMOS100を用いて実現し、また、高抵抗20を不純物をドープしたポリシリコン配線層を用いて実現している。このように構成された半導体集積回路は、上述の原理に基づいて動作し、迅速かつ十分なサージ吸収能力が得られ、高い信頼性で他の集積回路を静電破壊から有効に保護する。

【0054】即ち、本半導体集積回路においては、正・負いずれの静電放電に対してもキャパシタとしてのnMOS100がサージ電圧の立ち上がり・立ち下がりの微分成分でpウェル81のドレイン82に対する相対的な電位を上昇させることにより、pウェル81とドレイン82とで構成される寄生ダイオードに順方向電流50が流れ、この順方向電流50がソース83、pウェル81及びドレイン82で構成される寄生バイポーラトランジスタ30のベース電流となり、該トランジスタをONさせ、サージ電流55を流す。

【0055】この半導体集積回路は、pウェル81に形成されたn⁺不純物拡散領域86、86及びゲート84からなるnMOS100をキャパシタ10として使用しているので、上述の効果に加えて、静電容量をゲート84の面積で制御できるという効果がある。さらに、この半導体集積回路は、不純物をドープしたポリシリコン層でなる高抵抗20を使用しているので、寄生バイポーラトランジスタ30のベース電流50が大きくなり、大きなサージ吸収能力を得ることができるという効果がある。

【0056】図5は、本発明にかかる静電保護回路の実施の他の形態を具体的に示す半導体集積回路の部分縦断面図である。ここでは、高抵抗20をp型不純物拡散領域(pウェル)81'で形成しており、ポリシリコン抵抗の場合と全く同様に寄生バイポーラトランジスタ30のベース電流50が増大して、大きなサージ吸収能力を得ることができる。さらに図示はしないが、本発明にかかる静電保護回路におけるキャパシタ10についても上述のnMOS100に限るものではなく、例えば、半導体集積回路中の第1、2層配線層とこの間に介在する酸

化シリコン、窒化シリコン等の誘電体絶縁膜でキャパシタ10を実現することも可能である。

【0056】図6は、本発明にかかる半導体集積回路の実施の1形態を具体的に示す半導体集積回路の部分断面図であり、図4に示した静電保護回路をpMOS88及びnMOS89を含むCMOS回路の保護回路として使用している。また図7は、図6に示す回路の等価回路図である。このCMOS回路は、通常使用時の電位変動が小さいため、静電放電に特に弱い回路であるが、図4に示す静電保護回路により保護されているため、サージ電圧が印加されてもその影響を受けないので、素子の劣化・破壊不良を免れることとなる。また、CMOS構造だけで構成されているため、低いコストで製造することができる。

【0057】以上、主としてnMOSで構成される半導体集積回路について説明したが、本発明は上記の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。キャパシタ、抵抗の材料等も仕様に応じて適宜変更することができ、また、本発明にかかる静電保護回路により保護される半導体集積回路も、図6に示すCMOS回路に限られず、バイポーラ集積回路、電源回路その他が含まれる。

【0058】

【発明の効果】以上詳述したとおり、本発明にかかる静電保護回路及びこれを含む半導体集積回路は、以下の効果を奏する。

【0059】即ち、請求項1ないし3に記載の本発明にかかる静電保護回路では、先ず、キャパシタを介して第1導電型の半導体領域にサージ電圧が印加されるため、サージ電圧の立ち上がり・立ち下がりの微分成分で静電保護回路が起動するので、早いタイミングで保護動作を開始することができる。

【0060】また、この静電保護回路は寄生バイポーラトランジスタにより起動するので、サージを逃がすための電流を大きくとることができる。

【0061】また、寄生バイポーラトランジスタとパンチスルによる電流でサージを逃がすので、ピンチオフ現象が発生せず、ホットエレクトロン等により保護回路自体が劣化するおそれがないため、信頼性の高い静電保護回路が提供される。

【0062】また、迅速かつ十分なサージ吸収能力を有する寄生バイポーラトランジスタにより起動するので、回路の占有面積を小さくすることができ、集積度を高めて製造コストを低減させることができる。

【0063】さらに、MOS構造だけで構成することができるので、製造工程が単純となる。

【0064】次に、請求項4に記載の本発明にかかる静電保護回路では、第1導電型の半導体領域が表面に形成された第1導電型の高濃度不純物拡散領域を介してキャパシタ及び高抵抗と接続されているので、上述の効果に

加え、ウェルコンタクトにおけるオーミック抵抗を下げることができる。

【0065】次に、請求項5に記載の本発明にかかる静電保護回路では、抵抗の材料として不純物をドープしたポリシリコンを使用しているので、上述の効果に加え、寄生バイポーラトランジスタのベース電流が大きくなり、大きなサージ吸収能力を得ることができる。

10 10 【0066】次に、請求項6記載の本発明にかかる静電保護回路では、抵抗の材料として不純物を拡散した拡散層を使用しているので、前述のポリシリコン抵抗と同様に寄生バイポーラトランジスタのベース電流が大きくなり、大きなサージ吸収能力を得ることができる。

【0067】次に、請求項7に記載の本発明にかかる静電保護回路では、キャパシタとして第2導電型のチャネルを有する第2のMOSを使用しているので、上述の効果に加えて、キャパシタの静電容量を該第2のMOSのゲートの面積で制御できるという効果がある。

20 20 【0068】また、請求項8に記載の本発明では、上記効果を奏する静電保護回路が第2導電型の半導体基板の表面に形成されたウェル上に形成できるという効果がある。

【0069】また、請求項9に記載の本発明にかかる半導体集積回路では、上記効果を奏する静電保護回路によりモノリシック集積回路が保護されるので、安定して動作する信頼性の高い半導体集積回路が提供される。

30 30 【0070】さらに、請求項10に記載の本発明にかかる半導体集積回路では、上記効果を奏する静電保護回路により、静電放電に特に弱いCMOS回路が保護されるため、安定して動作する信頼性の高い半導体集積回路が提供されるのに加え、MOS構造のみで構成することができるので、低コストの半導体集積回路が提供される。

【図面の簡単な説明】

【図1】本発明にかかる静電保護回路の動作原理を説明するための半導体集積回路の部分断面図である。

【図2】図1に示す静電保護回路の動作原理を説明するための回路図である。即ち、図2(a)は、図1に示す静電保護回路の等価回路図であり、図2(b)は、図1に示す静電保護回路の寄生バイポーラトランジスタ30の等価回路図である。

40 40 【図3】本発明にかかる静電保護回路の動作時の電圧の状態を示した簡略特性図である。即ち、図3(a)は、高電圧側端子に正のサージ電圧が印加された場合の本発明にかかる静電保護回路の動作時の電圧の状態を示した簡略特性図であり、また、図3(b)は、低電圧側端子に負のサージ電圧が印加された場合の本発明にかかる静電保護回路の動作時の電圧の状態を示した簡略特性図である。

【図4】本発明にかかる静電保護回路の実施の1形態を具体的に示す半導体集積回路の部分断面図である。

50 50 【図5】本発明にかかる静電保護回路の実施の他の形態

を具体的に示す半導体集積回路の部分縦断面図である。
【図6】本発明にかかる静電保護回路を含む半導体集積回路の実施の1形態を具体的に示す半導体集積回路の部分縦断面図である。

【図7】図6に示す半導体集積回路の等価回路図である。

【図8】NチャネルMOSFETを使用した従来の技術による静電保護回路のうち、パンチスルーリー利用型回路の動作原理を説明するための半導体集積回路の部分断面図である。

【図9】図8に示す半導体集積回路の等価回路図である。

【図10】図8に示す半導体集積回路の動作時の電圧の状態を示した簡略特性図である。即ち、図10(a)は、高電圧側端子95に正のサージ電圧が印加された場合の電圧の状態を示した簡略特性図であり、また、図10(b)は、低電圧側端子96に負のサージ電圧が印加された場合の電圧の状態を示した簡略特性図である。

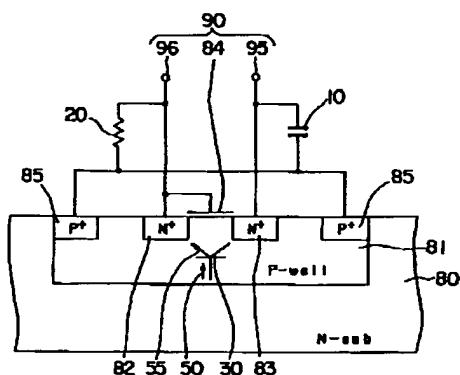
【図11】従来の技術による静電保護回路のうち、NチャネルMOSFET動作利用型回路の動作原理を説明するための半導体集積回路の部分断面図である。

【図12】図11に示す半導体集積回路の等価回路図である。

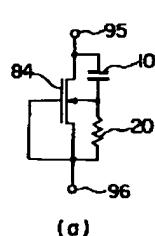
【符号の説明】

10、97	キャパシタ
20、98	高抵抗
30	寄生バイポーラトランジスタ
50	寄生バイポーラトランジスタのベース電流
55	寄生バイポーラトランジスタのON電流
67	nチャネル
80	N型半導体基板
81、81'	Pウェル
10	82 ドレイン
83	ソース
84	ゲート
85	p ⁺ 不純物拡散領域
86	n ⁺ 不純物拡散領域
87	絶縁層
88	pチャネルMOS
89、90、100	nチャネルMOS
91	パンチスルーレ電流
94	p ⁺ 不純物拡散領域85、85間の結線
20	95 高電圧側端子
96	低電圧側端子
99	nMOS 90のON電流

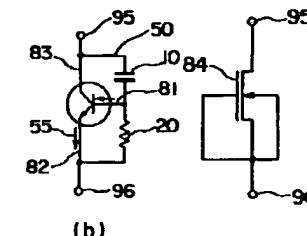
【図1】



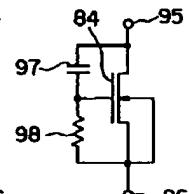
【図2】



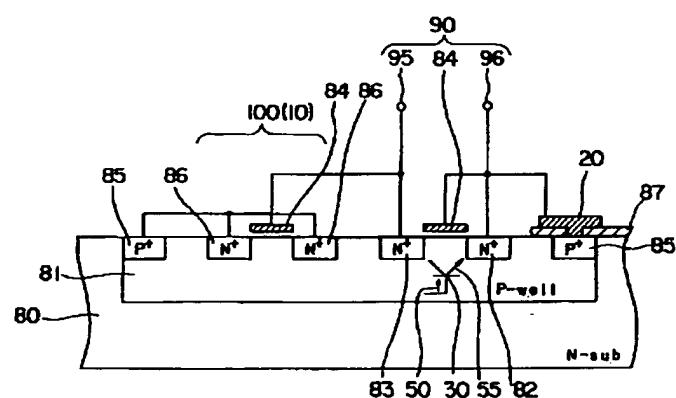
【図9】



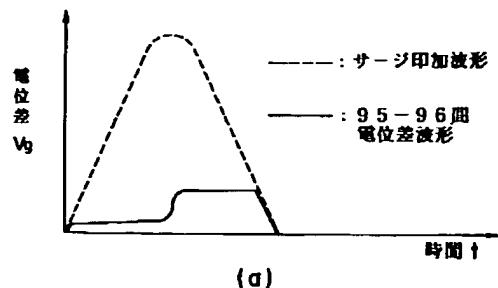
【図12】



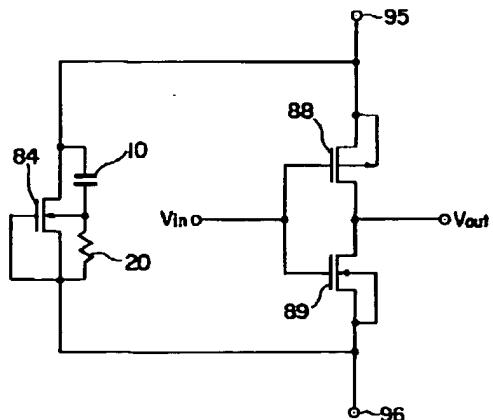
【図4】



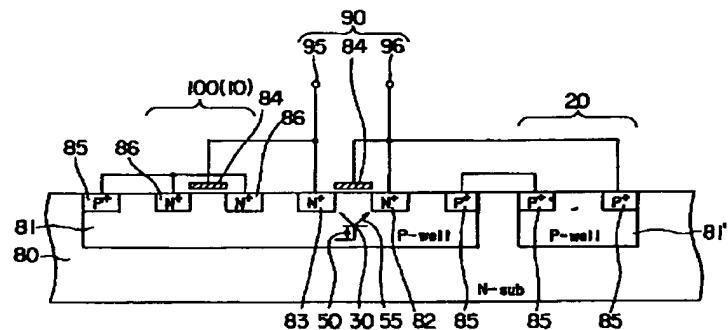
【図3】



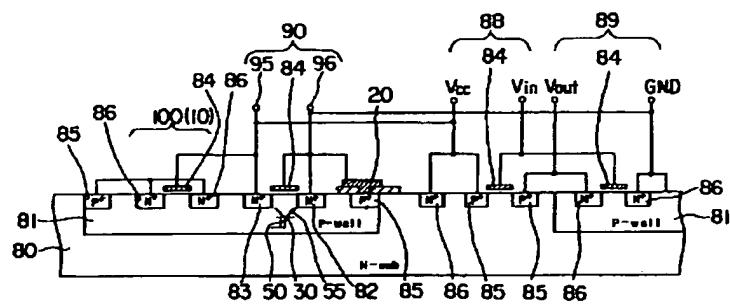
【図7】



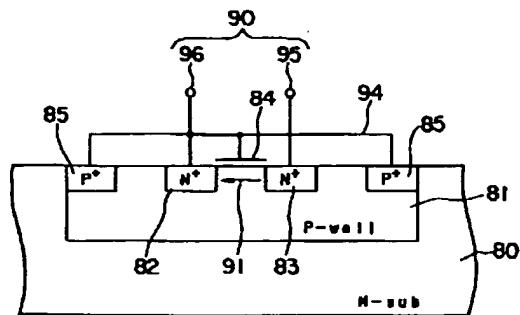
【四】



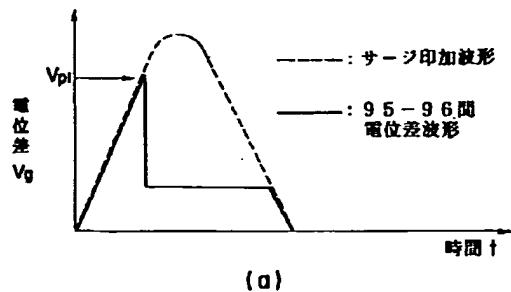
【图6】



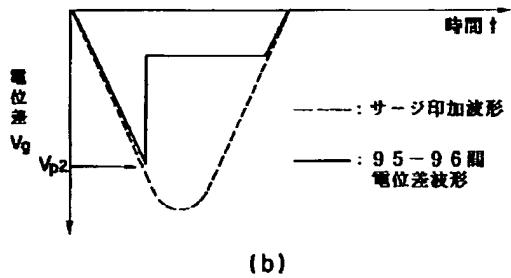
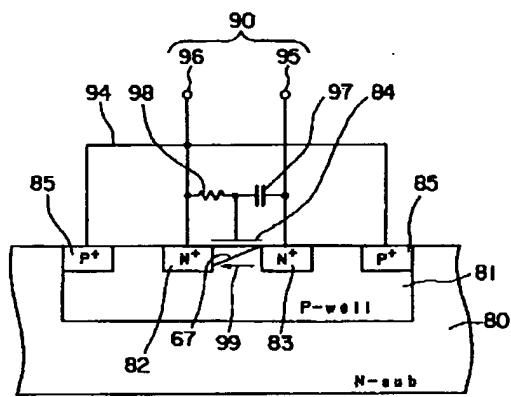
【図8】



【図10】



【図11】



CLIPPEDIMAGE= JP410229132A

PAT-NO: JP410229132A

DOCUMENT-IDENTIFIER: JP 10229132 A

TITLE: ELECTROSTATIC PROTECTION CIRCUIT AND SEMICONDUCTOR
INTEGRATED CIRCUIT
CONTAINING THE SAME

PUBN-DATE: August 25, 1998

INVENTOR- INFORMATION:

NAME

INOMATA, TATSUYA

ASSIGNEE- INFORMATION:

NAME
TOSHIBA CORP

COUNTRY
N/A

APPL-NO: JP09029328

APPL-DATE: February 13, 1997

INT-CL (IPC): H01L021/8234;H01L027/088 ;H01L027/04 ;H01L021/822

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit, having

high reliability and surge-absorption capability and containing an electrostatic protection circuit which is speedily driven against electrostatic discharge.

SOLUTION: An nMOS 90, formed of a source 83 connected to a high-voltage side

terminal 95, a gate 84 connected to a low-voltage side terminal 96 and a drain 82, is provided for the surface of a P-well 81 formed on a substrate. The P-well 81 is connected to the high-voltage side terminal 95 through a capacitor 10 and to the low-voltage side terminal 96, via a high resistance 20. The capacitor 10 raises relative potential with respect to a drain 82 of the P-well

81 with the differential component of the rise/fall of the surge voltage. Thus, a forward current 50 flows in a parasitic diode, constituted of the P-well 81 and the drain 82, and the forward current 50 becomes the base current of a parasitic NPN bipolar transistor 30, constituted of the source 83, the P-well 81 and the drain 82. It turns on the transistor 30 and makes a surge current 55 to flow.

COPYRIGHT: (C)1998,JPO